

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000183729 A

(43) Date of publication of application: 30.06.00

(51) Int. Cl H03K 23/66
 G06F 1/06
 // H03K 5/00

(21) Application number: 10355768
(22) Date of filing: 15.12.98

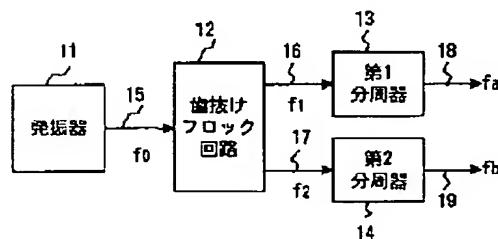
(71) Applicant: NEC ENG LTD
(72) Inventor: MATSUBARA TATSUO

(54) CLOCK GENERATING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a clock generating circuit where a single oscillator can output a plurality of clocks with less jitter and that can vary frequencies of the clock signals.

SOLUTION: The clock generating circuit consists of the oscillator 11 that is operated at a high speed, a missing pulse clock circuit 12 that outputs a plurality of missing pulse clock signals, and frequency dividers 13, 14. The missing pulse clock circuit 12 outputs fundamental frequency systems, and the frequency dividers simply frequency-divide the receive frequencies and outputs the divided frequencies. By using high frequencies, jitter can be reduced. Since a digital circuit configuration is adopted for the circuit 12 and the frequency dividers 13, 14, the fundamental frequency systems of missing pulse clocks and each frequency division rate of the destinations can easily be changed.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-183729
(P2000-183729A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.⁷
H 03 K 23/66
G 06 F 1/06
// H 03 K 5/00

識別記号

F I
H 03 K 23/66
G 06 F 1/04
H 03 K 5/00

Z 5 B 079
3 1 0 Z 5 J 039
F

マークト (参考)

(21) 出願番号 特願平10-355768
(22) 出願日 平成10年12月15日 (1998.12.15)

審査請求 未請求 請求項の数 5 O.L. (全 5 頁)

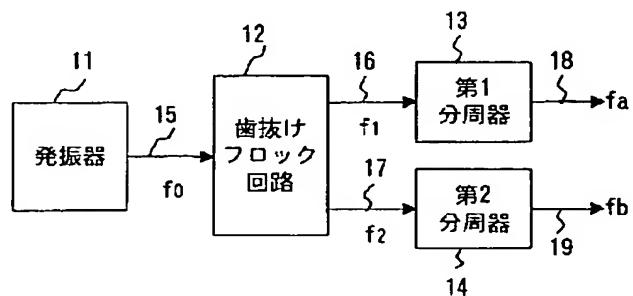
(21) 出願番号	特願平10-355768	(71) 出願人	000232047 日本電気エンジニアリング株式会社 東京都港区芝浦三丁目18番21号
(22) 出願日	平成10年12月15日 (1998.12.15)	(72) 発明者	松原 達夫 東京都港区芝浦三丁目18番21号 日本電気 エンジニアリング株式会社内
		(74) 代理人	100081710 弁理士 福山 正博 F ターム(参考) 5B079 AA04 CC14 CC20 DD03 DD13 DD17 DD20 5J039 AC16 AC17 KK01 KK27 MM16

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【課題】 唯一の発振器から複数のジッターの少ないクロック信号出力でき、さらにクロック信号の周波数を可変できるようにした。

【解決手段】 高速で動作する発振器 11 と、複数の歯抜けクロックを出力する歯抜けクロック回路 12 と、分周器 13, 14 とから構成され、歯抜けクロック回路で元となる周波数系を出し、分周器で単純に分周し出力する。ジッターは高速周波数を使用することで低減させている。また、デジタル回路で構成していることから歯抜けクロックの周波数切り替え、分周器の分周数の変更が容易に可能である。



【特許請求の範囲】

【請求項1】一定周波数の基準信号を発生する单一の発振器と、該発振器の前記基準信号から複数の歯抜けクロックを出力する歯抜けクロック回路と、該歯抜けクロック回路に接続され、前記複数の歯抜けクロックを受けて分周し、異なる周波数のクロック出力信号を出力する複数の分周器とを備えることを特徴とするクロック発生回路。

【請求項2】前記歯抜けクロック回路は、前記基準信号から3個に1個及び4個に1個歯抜けさせた歯抜けクロックを出力することを特徴とする請求項1に記載のクロック発生回路。

【請求項3】前記分周器の出力クロックが前記基準クロックの非整数である為に生じるジッタが数%以下になるよう前記分周器の分周比を決定することを特徴とする請求項1又は2に記載のクロック発生回路。

【請求項4】前記発振器、歯抜けクロック回路及び分周器をIC化することを特徴とする請求項1、2又は3に記載のクロック発生回路。

【請求項5】前記複数の分周器の出力クロック信号をデータ通信機器の複数の復号部に入力することを特徴とする請求項1乃至4のいずれかに記載のクロック発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック発生回路、特にデータ通信機器等で種々のデータ通信速度を扱う場合に好適なクロック発生回路に関する。

【0002】

【従来の技術】デジタル通信機器等では、複数の異なる周波数のクロックを必要とする場合がある。このような場合のシステム構成を図4を参照して説明する。斯るシステムでは、複数のデータ端末からのデータ43は、データ通信装置41で1つの信号に時分割多重化され、伝送路44を介して相手データ通信装置42に伝送する。この相手データ通信装置42では、伝送路44からの多重化信号を分離して、個々のデータ端末へのデータ45を再生し送出する。

【0003】斯る通信システムのデータ通信装置のクロック発生部は、データ端末インターフェース速度の種類に対応する複数の異なるクロックを発生する必要がある。例えば、2.4Kb/s、4.8Kb/s、9.6Kb/s……系データは9.6KHz×nの周波数系、また64Kb/s、128Kb/s……系データは128KHz×nの周波数系が必要となる。そして、これら周波数は随時切替えられることが望ましい。

【0004】これは、データ端末がある時期に交換され、例えば9.6Kb/sデータから64Kb/sデータになる場合があるからである。更に、クロック発生回路は、これら9.6KHz、128KHz系クロック出

力1つの発振器から出力する必要がある。これは、上述した多重化（マルチプレックス）及び分離（デマルチプレックス）がある為に、周波数源は同一にする必要があるからである。

【0005】次に、斯るデータ通信装置等で使用される従来のクロック発生回路について説明する。

【0006】図5は、アナログ形式のクロック発生回路の例である。このクロック発生回路は、発振器51、歯抜けクロック回路52及びアナログフィルタ53、54で構成される。発振器51は、一定周波数f0の発振出力を発生する。歯抜けクロック回路52は、発振器51からの発振出力を受け、必要な2つの周波数f1、f2を出力する。しかし、両周波数f1、f2はデジタル処理するので、f0周期分のジッタを含む。アナログフィルタ53、54は、上述したジッタを除去するものであり、周波数特性をもったフィルタであり、周波数fa、fbのクロックを発生／出力する。アナログフィルタ53、54は、fa、fbが異なるので、異なる特性を有する。

【0007】他方、図6のクロック発生回路は、デジタル形式のクロック発生回路である。基準クロックが入力される電圧制御発振器（VCO）61、62とデジタル分周器63、64で構成される。VCO61、62は、夫々周波数f1、f2のクロックを発生する。これら両クロック出力f1、f2は、基準クロックに追従する機能を有するので、基準クロックに同期した出力となる。デジタル分周器63、64は、夫々VCO61、62からのf1、f2出力を分周して、必要とする2つのクロックfa、fbを出力する。

【0008】

【発明が解決しようとする課題】上述した従来のクロック発生回路にはいくつかの問題がある。先ず、図5に示すアナログ形式のクロック発生回路にあっては、アナログフィルタを使用するから出力周波数を簡単に切替えることが困難である。また、アナログ回路を使用するので、小型化、特にLSI（集積回路）化が困難である。

【0009】他方、デジタル形式のクロック発生回路にあっては、分周器がデジタル回路であるので、出力周波数（例えば2.4KHzから4.8KHz）の切替えが簡単である。しかし、VCOが複数個必要となるという問題があった。

【0010】従って、本発明の目的は、周波数の切替えが容易であると共に小型化が可能であるクロック発生回路を提供することである。

【0011】

【課題を解決するための手段】前述の課題を解決するため、本発明によるクロック発生回路は、次のような特徴的な構成を採用している。

【0012】(1) 一定周波数の基準信号を発生する单一の発振器と、該発振器の前記基準信号から複数の歯抜

けクロックを出力する歯抜けクロック回路と、該歯抜けクロック回路に接続され、前記複数の歯抜けクロックを受けて分周し、異なる周波数のクロック出力信号を出力する複数の分周器とを備えるクロック発生回路。

【0013】(2) 前記歯抜けクロック回路は、前記基準信号から3個に1個及び4個に1個歯抜けさせた歯抜けクロックを出力する上記(1)のクロック発生回路。

【0014】(3) 前記分周器の出力クロックが前記基準クロックの非整数である為に生じるジッタが数%以下になるよう前記分周器の分周比を決定する上記(1)又は(2)のクロック発生回路。

【0015】(4) 前記発振器、歯抜けクロック回路及び分周器をIC化する上記(1)、(2)又は(3)のクロック発生回路。

【0016】(5) 前記複数の分周器の出力クロック信号をデータ通信機器の複数の復号部に入力する上記(1)乃至(4)のいずれかのクロック発生回路。

【0017】

【発明の実施の形態】以下、本発明のクロック発生回路の好適実施形態例を添付図、図1乃至図3を参照して詳細に説明する。

【0018】先ず、図1は本発明のクロック発生回路の原理図である。このクロック発生回路は、発振器11、歯抜けクロック回路12、第1分周器13及び第2分周器14より構成される。発振器11は、周波数f0の発振出力を歯抜けクロック回路12に出力する。また、歯抜けクロック回路12は、周波数f1及びf2の2つの信号16、17を出力する。これら信号16、17に基づき、第1及び第2分周器13、14は、夫々周波数fa、fbの出力クロック信号18、19を出力する。

【0019】次に、図2のタイミングチャートを参照して、図1のクロック発生回路の各部の動作を説明する。尚、図2中、参考番号15乃至19は、図1中の信号周波数f0、f1、f2、fa、fbの動作波形を示す。図2中、参考番号15で示す発振器11の出力信号は、一定周波数f0の矩形(方形)波である。歯抜けクロック回路12は、f1=2/3f0、f2=3/4f0のクロック16、17を発生する。即ち、f1は、クロックf0を3クロックに1回、f2はクロックf0を4クロックに1回歯抜いた信号である。

【0020】第1及び第2分周器13、14は、共に4分周回路の場合を示す。第1分周器13の出力faは、 $2/3 f_0 \times 1/4 = 1/6 f_0$ である。また、第2分周器14の出力fbは、 $3/4 f_0 \times 1/4 = 3/16 f_0$ である。このように、出力fbは、f0に対して整数分周とならない為に、図2に示す如くジッタTを有し、このジッタTはf0の周期に対応する。尚、ジッタは、fbの周期に対するTの比であるから、分周器14の分周比が大きくなればなる程、ジッタ量は小さくなる。例えば、分周器14の分周比を2倍にすると、ジッ

タは半減する。

【0021】次に、本発明のクロック発生回路をデータ通信機器に適用する場合の具体例を、図3を参照して説明する。このデータ通信機器は、分離部31、第1データ復号部32、第2データ復号部33及びクロック発生回路34より構成される。分離部31には入力データ信号35が入力される。この入力データ信号35は、伝送路からの時分割多重化された入力データ信号である。分離部31は、時分割多重化された入力データ信号35からデータ端末単位に分離したデータ36、37を出力する。

【0022】分離部31からの分離データ36は、第1データ復号部32にて、復号されてデータ端末への出力データ38となる。他方、分離部31からの分離データ37は、第2データ復号部33に入力され、復号されてデータ端末への出力データ39となる。

【0023】また、分離部31は、伝送路の時分割多重化入力データ信号から基準クロック3Aを抽出する。図1を参照して説明した如く、クロック発生回路34は、基準クロック3Aに基づき発生したクロック信号fa、fbに対応する2信号3B、3Cを出力し、夫々第1及び第2データ復号部32、33に復号信号として入力される。

【0024】尚、図3のクロック発生回路34は、基準クロック(f0)3Aを入力し、fa、fbの両クロック出力3B、3Cを出力するよう図示しているが、f0=16.384MHzとし、歯抜けクロック回路出力として3系統設け、次のf1、f2及びf3を出力するのが実用的である。

$$f_1 = (255/256) f_0 = 16.32\text{MHz}$$

$$f_1 = (15/16) f_0 = 15.36\text{MHz}$$

$$f_1 = (63/64) f_0 = 16.128\text{MHz}$$

【0025】ここで、各分周器は上記のf1、f2、f3を選択的に入力し、分周比をシステムに応じて自由に設定可能にする。その結果、クロック発生回路34からは、次のような出力が得られる。

(1) 2.4kHz, 4.8kHz, ……38.4kHzの場合

faを分周器に入力し、分周比を6800、3400、…425とする。

(2) 48kHz, 96kHz, ……768kHzの場合

fbを分周器に入力し、分周比を320、160、…20とする。

(3) 7.2kHz, ……28.8kHz/56kHzの場合

f3を分周器に入力し、2240、…560、288とする。

【0026】以上、本発明のクロック発生回路の好適実施形態例及びその応用例を図示し説明した。しかし、本

発明の要旨を逸脱することなく種々の変形変更が可能であることが当業者には容易に理解できよう。例えば、好適実施形態例にあっては、歯抜けクロック出力と次段分周器入力は1:1に接続されているが、これは任意になし得る。例えば分周器出力として2.4KHzと9.6KHzが必要な場合には、2個の分周器に上記f₁を入力するとよい。

【0027】

【発明の効果】上述の説明から理解される如く、本発明のクロック発生回路によると種々の実用上の顕著な効果が得られる。

【0028】先ず、1個の高周波発振器を使用するのみである。一般に通信系では、高精度の周波数を必要とするので、効果な水晶振動子等が使用されるが、1個のみであるので、低価格となし得る。

【0029】また、デジタル回路で構成するので、分周器の設定等が簡単であり、クロック回路出力の周波数が容易に変えられる。また、LSI等により極めて小型化することが可能である。

【図面の簡単な説明】

【図1】本発明のクロック発生回路の基本構成を示すブロック図である。

【図2】図1のクロック発生回路の各部動作を説明するタイミングチャートである。

【図3】本発明のクロック発生回路を応用するデータ通信機器のブロック図である。

【図4】データ通信システムの一般的なシステム構成図である。

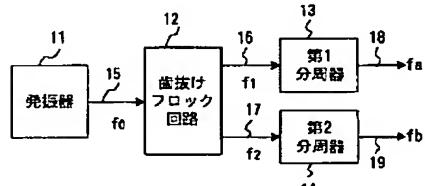
【図5】従来のアナログ形式のクロック発生回路のブロック図である。

【図6】従来のデジタル形式のクロック発生回路のブロック図である。

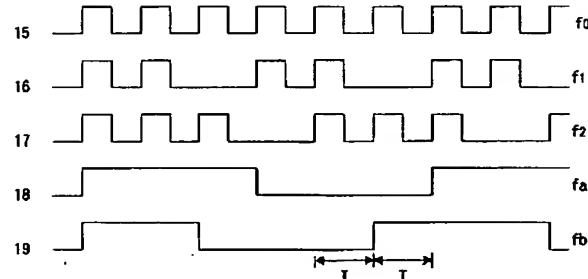
【符号の説明】

1 1	発振器
1 2	歯抜けクロック回路
1 3、 1 4	分周器
1 5	基準クロック (f ₀)
1 8、 1 9	出力クロック信号 (f _a 、 f _b)
3 4	クロック発生回路
3 2、 3 3	データ復号部

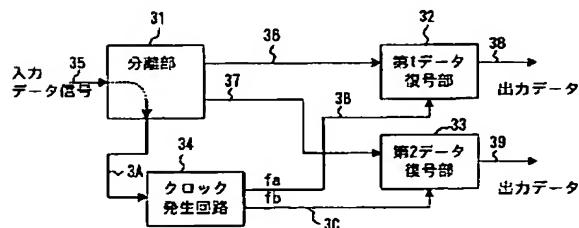
【図1】



【図2】



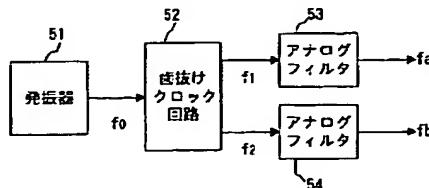
【図3】



【図4】



【図5】



【図6】

